

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 59175133 A

(43) Date of publication of application: 03.10.84

(51) Int. Cl

**H01L 21/66**  
**G01R 31/28**  
**H01L 27/04**  
**H03K 19/20**

(21) Application number: 58048240

(71) Applicant: NEC CORP

(22) Date of filing: 23.03.83

(72) Inventor: KAMIYAMA TOSHIHIRO

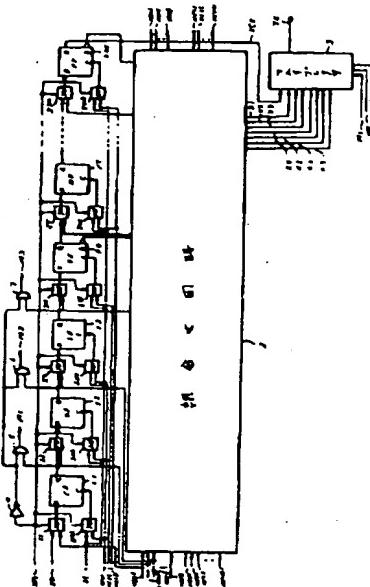
## (54) INTEGRATED LOGIC CIRCUIT

COPYRIGHT: (C)1984,JPO&amp;Japio

## (57) Abstract:

PURPOSE: To enable to realize it for internal observation signals to output to the outside without being accompanied with the increasing of the number of external output terminal by a method wherein a scanning-out signal and the internal observation signals are constituted together in such a way as to changeover output to the outside from the same terminal in response to change-over signals.

CONSTITUTION: An integrated logic circuit is composed of a combinational circuit 2 consisting of a decoder, an encoder, a comparator, etc., and a scanning callipers consisting of switches S1WS24, flip-flops F1WF24, a multiplexor 3 and a test output terminal T0. The multiplexor 3 changeover-outputs internal observation signals K1WK7 at seven places selected from among important places in the combinational circuit 2 and a scanning-out signal SCO to the test output terminal T0 in response to three change-over signals M1WM3. Integrated logic circuits 5W7 usually output input data ND11WND13 to the multiplexor 3 as change-over signals M1WM3 respectively.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 昭59-175133

⑫ Int. Cl.<sup>3</sup>  
 H 01 L 21/66  
 G 01 R 31/28  
 H 01 L 27/04  
 H 03 K 19/20

識別記号

厅内整理番号  
 6851-5F  
 7807-2G  
 8122-5F  
 8124-5J

⑬ 公開 昭和59年(1984)10月3日  
 発明の数 1  
 審査請求 未請求

(全 5 頁)

## ④ 論理集積回路

① 特願 昭58-48240  
 ② 出願 昭58(1983)3月23日  
 ③ 発明者 神山敏廣

東京都港区芝五丁目33番1号  
 本電気株式会社内

④ 出願人 日本電気株式会社  
 東京都港区芝5丁目33番1号  
 ⑤ 代理人 弁理士 内原晋

## 明細書

## 1. 発明の名称

論理集積回路

## 2. 特許請求の範囲

- (1) 組合せ回路を含みスキャンバスを備えた論理集積回路において、  
 前記スキャンバスからのスキャンアウト信号と前記組合せ回路の少なくとも1つの内部記憶信号とを切替え信号に応答して同一端子から外部に切り替えて出力するための切替え手段と、  
 前記切替え手段を前記切替え手段に予め供給する切替え信号供給手段  
 を設けたことを特徴とする論理集積回路。  
 (2) 前記切替え信号を前記組合せ回路の少なくとも1つの入力端子に印加する信号とスキャンモード指定信号とに基づいて発生して保持し供給するようにしたことを特徴とする特許請求の範囲第(1)項記載の論理集積回路。

## 3. 発明の詳細な説明

本発明は論理集積回路、特に、組合せ回路を含みスキャンバスを備えた論理集積回路に関する。

近年、論理集積回路の集積化が顕著化し、複雑な論理機能が高密度に集積化できるようになつた反面、回路の複雑さおよび集積回路の入出力端子数の割約等により、大規模な論理集積回路の故障のテストは一層困難になっている。このため、このような論理集積回路には故障のテストが容易になるように、予め論理集積回路の構成に工夫をしておくことがある。

従来のこの種の論理集積回路は、通常の順序回路動作のために内部記憶素子として存在するフリップフロップやレジスタを相互に接続して構成したシフトレジスタ(スキャンバス)を含み、順序回路を組合せ回路(デコード、エンコード、コンバーティ、マルチプレクサ等からなる)と分離してテストすることを可能にしている。テストから被試験論理集積回路にビット直列で供給されたスキャンデータは、スキャンバスを経由してテスト

特開昭59-175133(2)

に出力され、この出力データがスキャンデータに対する期待値データと比較されることにより、論理集積回路のテストを行なう。

このような従来構成においては、テストをスキャンバスのみを使用して行なっているため、スキャンバスに接続可能なフリップフロップやレジ斯特器しかテストできないという第1の欠点がある。また、スキャンバスと通常動作時のノーマルバスとでは信号の通過するゲートが異なるため、通常動作時には異常でもテスト時には正常と判定される場合があり、不良原因や不良箇所の抽出が困難になることがあるという第2の欠点がある。

これら第1の欠点および第2の欠点を除去するために、テストをスキャンバスのみに限らず、回路内部に多数の観測点を設定し、この観測点における信号を監視することにより、不良原因や不良箇所の抽出および動作解析を行なうべく、論理集積回路に外部出力端子を設けることは容易に考えられる。しかしながら、このような安易な構成では、当然ピンネックという深刻な問題を招來する

- 3 -

セード指定信号SMと、スキャンデータSDと、スキャンクロックSCと、3個の通常クロックNCL1, NCL2およびNCL3と、8個の通常入力データNDI1, NDI2, NDI3……NDI8と、12個の通常入力制御信号NCI1, NCI2, NCI3……NCI12の入力を行なわせるための各端子からなる。また、合計19個の出力信号端子は、8個の通常出力データNDO1, NDO2, NDO3……NDO8と、10個の通常出力制御信号NCO1, NCO2, NCO3……NCO10の出力を行なわせるための各端子およびテスト出力端子TOからなる。

L8IIの詳細図を示す第2図を参照すると、本実施例は組合せ回路2と、マルチプレクサ3と、インバータ4と、3個の論理集積回路5, 6および7と、24個のフリップフロップ(FP)F1, F2, F3……F24と、48個のスイッチ(SW)S1, S2, S3……S48とから構成されていることがわかる。

組合せ回路2は、デコード、エンコーダ、コン

ヒトになる。

本発明の目的は、外部出力端子の増設を伴なうことなく、内部観測信号を外部に取り出すことができるようになる論理集積回路を提供することにある。

本発明の集積回路は、組合せ回路を含みスキャンバスを備えた論理集積回路において、

前記スキャンバスからのスキャンアウト信号と前記組合せ回路の少なくとも1つの内部観測信号とを切替え信号に応答して同一端子から外部に切り替え出力するための切替え手段と、

前記切替え信号を前記切替え手段に予め供給する切替え信号供給手段

とを設けたことを特徴とする。

次に本発明について図面を参照して詳細に説明する。

本発明の一実施例を示す第1図において、本実施例は26個の入力信号端子と、19個の出力信号端子とを備えた大規模論理集積回路(LSI)1である。合計26個の入力信号端子は、スキャン

- 4 -

パレータ、マルチプレクサ等から構成されている。また、スイッチS1～S24と、フリップフロップFP1～FP24と、マルチプレクサ3と、テスト出力端子TOとでスキャンバスを構成していることがわかる。マルチプレクサ3は組合せ回路2の内部要所のうちから選定された7箇所の内部観測信号K1～K7とスキャンアウト信号SCOとを3個の切替え信号M1～M3に応答してテスト出力端子TOに切り替えて出力する。

第3図はスイッチS1～S24の詳細図を示す。本図により、スイッチS1～S24の各々は2個の論理集積回路8および9と、インバータ10と、論理回路11とから構成されていることがわかる。スイッチS1～S24の入力端子12にはスキャンデータSD(スイッチS1のみ)または前段のフリップフロップFP1～FP24の出力データ端子(Q端子)出力(スイッチS2～S24)が入力し、入力端子13には通常入力データNDI1(スイッチS1)または通常入力データNDI2(スイッチS2)または通常入力データNDI3

- 5 -

(スイッチB3)または組合せ回路2からの出力(スイッチB4～B24)が入力し、入力端子14にはスキャンモード指定信号SMが入力し、出力端子15は同じ段のフリップフロップの入力データ端子(D端子)に接続されている。スイッチB25～B48の入力端子12にはスキャンクロックSCが入力し、入力端子13には通常クロックNCL1(スイッチB25～B27)または通常クロックNCL2(スイッチB28)または通常クロックNCL3(スイッチB29～B40)が入力し、入力端子14にはスキャンモード指定信号SMが入力し、出力端子15は同じ段のフリップフロップのクロック端子(C端子)に接続されている。

したがって、スキャンモード指定信号SMが論理“0”的場合には、入力端子13に入力する信号が出力端子15に現れるようになるため、スイッチB1, B2, B3, B4～B24, B25～B27, B28およびB29～B48からはそれぞれ通常入力データNDI1, 通常入力データNDI2, 通常入力データNDI3, 組合せ回路

- 7 -

TOに得られる信号は通常入力データNDI1～NDI3との対応が付かないため無意味である。

有意な内部観測信号K1～K7をテスト出力端子TOに得るために、先ず、スキャンモード指定信号SMを論理“0”に設定し、かつ通常クロックNCL1のみを印加して、通常入力データNDI1～NDI3として内部観測信号K1～K7に対応する値を外部から供給する。通常入力データNDI1～NDI3の3ビットの2値データ001～111がそれぞれ内部観測信号K1～K7に対応する。

通常入力データNDI1～NDI3はそれぞれスイッチ回路S1～S3経由でフリップフロップF1～F3に入力し、スイッチ回路B25～B27経由でフリップフロップF1～F3に供給される通常入力クロックNCL1に応答してセットされる。フリップフロップF1～F3の各出力はそれぞれ論理回路5～7から切替え信号M1～M3として出力し、マルチプレクサ3に供給される。

次に、通常クロックNCL2およびNCL3と、

- 9 -

特開昭59-175133 (3)

2の出力、通常クロックNCL1、通常クロックNCL2および通常クロックNCL3が出力されることになる。また、スキャンモード指定信号SMが論理“1”的場合には、入力端子12に入力する信号が出力端子15に現れるようになるため、スイッチB1, B2～B24およびB25～B48からはそれぞれスキャンデータSD, 前段のフリップフロップのQ端子出力およびスキャンクロックSCが出力されることになる。

さて、本LSI1に通常動作を行わせるときには、スキャンモード指定信号SMは論理“0”に設定される。LSI1は通常入力データNDI1～NDI8と通常入力制御信号NCI1～NCI12とに基づき、通常クロックNCL1～NCL8に応答して動作し、この動作の結果を通常出力データNDO1～NDO8と通常出力制御信号NCO1～NCO10として出力する。このとき論理回路5～7からはそれぞれ通常入力データNDI1～NDI3をそれぞれ切替え信号M1～M3としてマルチプレクサ3に出力するが、アスト出力端子

- 8 -

通常入力データNDI1～NDI8と、通常入力制御信号NCI1～NCI12とを外部から供給して、LSI1に通常動作を行わせる。このとき、通常クロックNCL1は印加されないため、フリップフロップF1～F3にも供給される通常入力データNDI1～NDI3はフリップフロップF1～F3にセットされず、したがって先に設定された切替え信号M1～M3が変化することはない。LSI1の通常動作に応答して、内部観測信号K1～K7がマルチプレクサ3に供給される。マルチプレクサ3は、これらの内部観測信号K1～K7のうちから、既に供給されている切替え信号M1～M3に基づいて1つのみを選択し、アスト出力端子TOに出力する。もちろん、通常出力データNDO1～NDO8および通常出力制御信号NCO1～NCO10も出力される。

このようにして、アスト出力端子TOに1つの内部観測信号を得ると、次には、ふたたび通常クロックNCL1と、通常入力データNDI1～NDI3を外部から供給して、別の切替え信号を

- 10 -

設定し、通常クロックNCL2およびNCL3と、通常入力データNDI1～NDI3と、通常入力制御信号NCI1～NCI12とを供給すれば、別の内部制御信号を得ることができる。この操作手順を繰り返せば、LDI1の故障診断のために有効なデータを採集できる。

スキャンモード指定信号SMを論理“1”にすると、前述のようなスキャンバスが設立する。スキャンモード指定信号SMはインバータ4により論理“0”に反転して論理積回路5～7に入力するため、切替え信号M1～M3は000となり、マルチブレクタ3はフリップフロップF24からのスキャンアウト信号SCOを選択し、テスト出力端子TOに出力できるようになる。この状態で、スキャンデータSDとスキャンクロックSCとを供給すれば、通常のスキャンバス方式によるテストが可能になる。

本実施例の第1の効果は、切替え信号M1～M3が通常入力データNDI1～NDI3と同じ2値データであるため、通常入力データNDI1～

- 11 -

第1図は本発明の一実施例を示し、第2図と第3図とは本実施例の詳細図を示す。

1 ……大規模論理積回路、2 ……組合せ回路、3 ……マルチブレクタ、4, 10 ……インバータ、5, 6, 7, 8, 9 ……論理積回路、11 ……論理和回路、12, 13, 14 ……入力端子、15 ……出力端子、F1～F24 ……フリップフロップ、S1～S48 ……スイッチャ回路、SM ……スキャンモード指定信号、SD ……スキャンデータ、SC ……スキャンクロック、TO ……テスト出力端子、NCL1, NCL2, NCL3 ……通常クロック、NDI1～NDI8 ……通常入力データ、NDO1～NDO8 ……通常出力データ、NCI1～NCI12 ……通常入力制御信号、NCI1～NCI10 ……通常出力制御信号、M1, M2, M3 ……切替え信号、K1～K7 ……内部制御信号、SCO ……スキャンアウト信号。

代理人弁理士内原晋



#### 特許明59-175133(4)

NDI3との対応がつき易いことである。

本実施例の第2の効果は、切替え信号M1～M3を発生させるための外部供給信号を通常動作時にも使用する外部入力端子を利用して供給しているため、外部入力端子の増加数を抑制することができるることである。

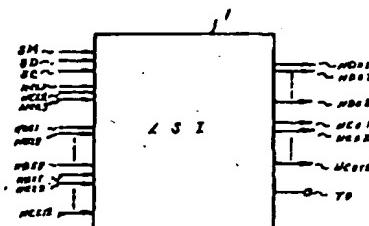
本実施例においては、切替え信号M1～M3を発生させるために、通常入力信号NDI1～NDI3を直接にそれぞれスイッチャS1～S3に供給しているが、組合せ回路2からスイッチャS1～S3に供給するようにした実施例も容易に実現できる。

さらに、切替え信号M1～M3を外部から直接にマルチブレクタ3に供給するようにしてもよい。

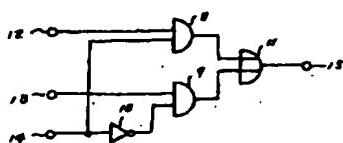
本発明によれば、以上のような構成の採用により、テスト出力端子を内部制御信号とスキャンアウト信号とを時分割出力するように使用できるため、外部出力端子の増数を作なうことなく、内部制御信号を外部に取り出せるようになる。

#### 4. 図面の簡単な説明

- 12 -

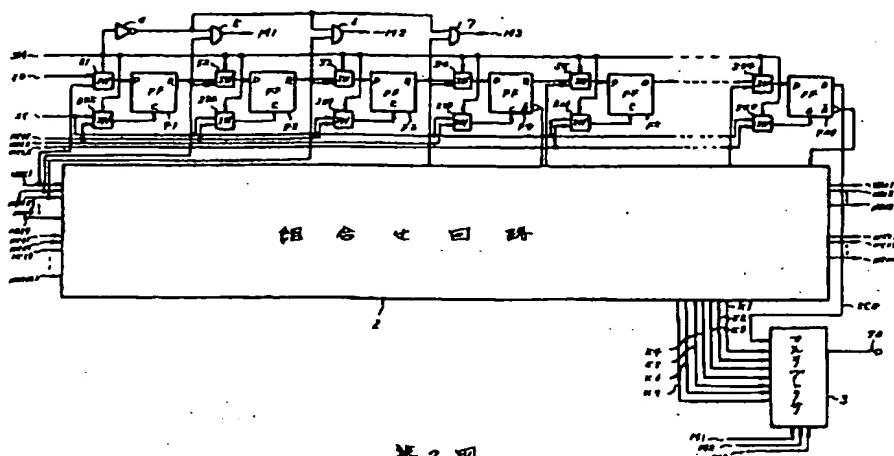


第1図



第2図

38图略59-175133(5)



第2回